

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-095754

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

G06F 1/00

G06F 12/16

G06F 13/28

(21)Application number : 03-015227

(71)Applicant : SHARP CORP

(22)Date of filing : 06.02.1991

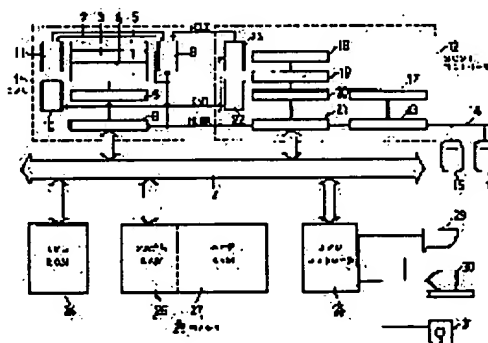
(72)Inventor : FUKUSHIMA SHINICHI
DOI KATSUYOSHI

(54) COMPUTER ACTIVATION SYSTEM

(57)Abstract:

PURPOSE: To shorten the waiting time till which an operator can operate a computer after power source is thrown in.

CONSTITUTION: The storage area of a main memory 25 is divided into a first area 26 (system RAM) required for read of a processing program from an auxiliary storage device 15 and the other residual second area 27 (user RAM). Only the first area 26 is subjected to memory test and initialization just after power source is thrown in. Next, the action to read the processing program from the auxiliary storage device 15 into the first area 26 by the DMA system and the memory test of the second area 27 are performed in parallel.



LEGAL STATUS

[Date of request for examination] 13.01.1995

[Date of sending the examiner's decision of rejection] 18.08.1998

[Kind of final disposal of application other than the examiner's decision of rejection or

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-95754

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/00	3 7 0 B	7165-5B		
12/16	3 3 0 C	7629-5B		
13/28	3 1 0 Z	9072-5B		

審査請求 未請求 請求項の数1(全 11 頁)

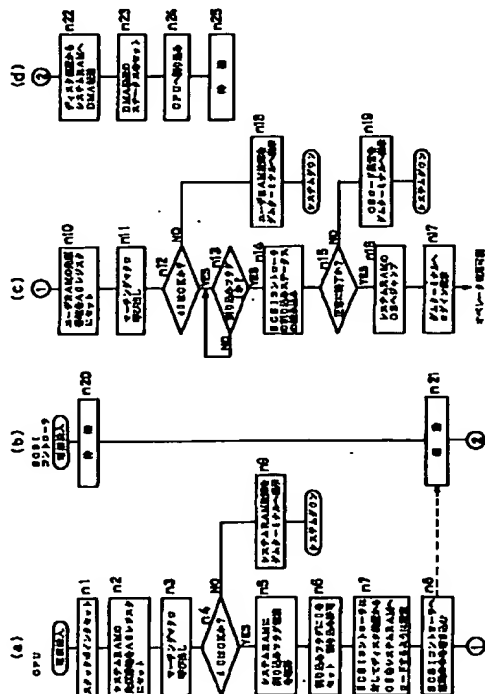
(21)出願番号	特願平3-15227	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成3年(1991)2月6日	(72)発明者	福島 慎一 大阪市阿倍野区長池町22番22号シャープ株式会社内
		(72)発明者	土居 克良 大阪市阿倍野区長池町22番22号シャープ株式会社内
		(74)代理人	弁理士 岡田 和秀

(54)【発明の名称】 コンピュータの立ち上げ方式

(57) 【要約】

【目的】コンピュータにおいて電源投入後にオペレータが操作できるようになるまでの待ち時間を短縮化する。

【構成】主メモリ25の記憶領域を、補助記憶装置15から処理プログラムを読み込むのに必要な第1の領域26と、残余の第2の領域27とに区分する。電源投入直後に第1の領域26についてのみメモリテストおよびイニシャライズを行う。次いで、DMA方式によって補助記憶装置15から第1の領域26に処理プログラムを読み込む動作と、第2の領域27についてのメモリテストとを並行処理する。



1

【特許請求の範囲】

【請求項1】 主メモリの記憶領域を、補助記憶装置からの処理プログラムを読み込む初期処理動作に必要な第1の領域と、それ以外の第2の領域とに区分し、電源投入直後に第1の領域についてのみメモリテストおよびイニシャライズを行い、それが完了した後に、DMA方式によって補助記憶装置から前記第1の領域へ処理プログラムを読み込む初期処理動作と前記第2の領域についてのメモリテストとを並行処理することを特徴とするコンピュータの立ち上げ方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンピュータの立ち上げ方式、すなわち、電源を投入してからオペレータが実際に使用できるようにするために行うべきメモリテストおよびイニシャライズ、並びに、補助記憶装置からの処理プログラムの読み込みのための方式に関する。

【0002】

【従来の技術】一般に、コンピュータシステムにおける主メモリ(RAM)は、スタック領域、フラグ領域およびOS(オペレーティングシステム)常駐領域などのシステムが使用する領域であるシステムRAMと、ユーザアプリケーションをロード実行する残余の領域であるユーザRAMとに概念的に区分することができる。

【0003】従来のコンピュータの立ち上げ方式は、電源が投入されると、前記主メモリの全領域についてメモリテストを行うとともに、イニシャライズを行っている。メモリテストは、特定のデータを書き込んだ後それを読み出して書き込んだデータと読み出したデータとが一致するかどうかを判定するものであって、このような書き込み、読み出しおよび判定という一連の動作からなるテストを、アドレスを順次インクリメントしながら主メモリの全領域、すなわち、システムRAMおよびユーザRAMについて実行するものである。イニシャライズは、サブルーチン処理のコールアドレスや割り込み処理のリターンアドレスなどのためのスタック領域やフラグ領域を指定するものである。

【0004】このメモリテストおよびイニシャライズが終了すると、ハードディスクなどの補助記憶装置からOSなどの処理プログラムを読み出して主メモリにロードし、ユーザアプリケーションが、OSの管理下で実行可能状態となり、オペレータが操作可能となってアプリケーションプログラムが起動可能となる。

【0005】

【発明が解決しようとする課題】補助記憶装置から読み出したOSを主メモリにロードするには、その前提として、主メモリにおいて少なくともOSをロードすべき領域についてのメモリテストおよびイニシャライズが終了していなければならない。

【0006】しかし、従来例のコンピュータの立ち上げ

2

方式においては、主メモリにおける全領域についてのメモリテストおよびイニシャライズを行った後において、初めてOSの主メモリへのロードを行っており、したがって、OSのロードを開始するためには、主メモリの全領域についてのメモリテストおよびイニシャライズの完了を待たねばならず、その完了までの待ち時間が主メモリの記憶容量が大きくなればなるほど長くなるという難点がある。

【0007】本発明は、上述の点に鑑みて為されたものであって、電源投入後オペレータが操作できるようになるまでの待ち時間を短縮することを目的とする。

【0008】

【課題を解決するための手段】本発明では、上述の目的を達成するために、次のように構成している。

【0009】すなわち、本発明は、主メモリの記憶領域を、補助記憶装置からの処理プログラムを読み込む初期処理動作に必要な第1の領域と、それ以外の第2の領域とに区分し、電源投入直後に第1の領域についてのみメモリテストおよびイニシャライズを行い、それが完了した後に、DMA方式によって補助記憶装置から前記第1の領域へ処理プログラムを読み込む初期処理動作と前記第2の領域についてのメモリテストとを並行処理するように構成している。

【0010】

【作用】補助記憶装置から処理プログラムであるOSを主メモリに読み込む初期処理動作に関して、主メモリにおけるメモリテストおよびイニシャライズを行うべき記憶領域は、あくまでもその初期処理動作に必要な第1の領域(システムRAM)のみであり、それ以外の第2の領域(ユーザRAM)は、OSを読み込む初期処理動作に関してはメモリテストおよびイニシャライズを行う必要がない。

【0011】このようにまず第1の領域についてメモリテストおよびイニシャライズを実行しておくと、補助記憶装置からのOSの読み込みができる状態となる。そして、この第1の領域を利用してDMA方式により補助記憶装置からOSを読み込む初期処理動作を実行する。この初期処理動作と並行して、第2の領域に対するメモリテストを実行する。

【0012】以上のように、まず第1の領域についてのみメモリテストおよびイニシャライズを行うので、補助記憶装置からOSを読み込む動作の開始時機が早くなる。また、OSの読み込みと第2の領域に対するメモリテストとを並行処理するので、オペレータによる操作開始時機を早めることができる。

【0013】

【実施例】以下、図面によって本発明の実施例について、詳細に説明する。

【0014】図1は、本発明の一実施例に係るコンピュータシステムのブロック図である。同図において、1中

3

4

央処理装置としてのCPUであり、このCPU1には、A0レジスタ2、d0レジスタ3、d1レジスタ4、スタックポインタ5およびプログラムカウンタ6などの各種レジスタ、システムバス7のアクセスの順番を決定するバスアービタ8、バスバッファ9、割り込み制御回路10およびCPU制御回路11を内蔵している。

【0015】12はSCSIコントローラであり、このSCSIコントローラ12は、SCSIデータレジスタ13、SCSIバス14に接続された補助記憶装置としてのディスク装置15、16のアドレスを示すSCSIアドレス17、転送が正常に終了したかどうかを示す割り込みステータス18、DMA転送のためのDMAカウンタ19およびDMAアドレス20、バスバッファ21、割り込み発生回路22およびコントローラ制御回路23などを内蔵している。補助記憶装置であるディスク装置の一方15には、OSが格納されており、他方16にはアプリケーションプログラムが格納されている。

【0016】24はイニシャライズプログラムが格納されているIPL（イニシャル・プログラム・ローダ）ROM、25は主メモリであり、この主メモリ25は、スタック領域、フラグ領域およびOS常駐領域などのシステムが使用する第1の領域としてのシステムRAM26と、ユーザアプリケーションをロード実行する残余の領域である第2の領域としてのユーザRAM27とに区分することができる。28はプリンタ29、ダムターミナル30およびフロッピーディスク31などを接続するI/Oコントローラである。

【0017】この実施例の立ち上げ方式では、電源が投入されると、主メモリ25のシステムRAM26の領域のメモリテストおよびイニシャライズを行い、その後ユーザRAM27のメモリテストと、SCSIコントローラ12によるディスク装置15からシステムRAM26へのOSのロードとを並列処理するように構成している。

【0018】すなわち、第1の領域であるシステムRAM26のメモリテストおよびイニシャライズが終了すると、SCSIコントローラ12は、SCSIバス14を介してディスク装置15から処理プログラムであるOSをSCSIデータレジスタ13へロードし、HOLD信号をCPU1に入力する。このとき、CPU1が内部演算中であれば、CPU1のバスリクエストはオフされており、したがって、SCSIコントローラ12は、ハイレベルのHLDA信号を受けてSCSIデータレジスタ13の内容をシステムバス7を介して主メモリ25の第1の領域であるシステムRAM26にDMA転送する。このDMA転送を、OSのサイズに対応した初期値が設定されてDMA転送毎にデクリメントするDMAカウンタ19が0、すなわち、OSのロードが終了するまで繰り返す。

【0019】CPU1は、内部的にバスリクエストを出

力後、HLDA信号がローレベルであるとき、すなわち、SCSIコントローラ12がバスを使用していないときには、システムバス7を介して主メモリ25の第2の領域であるユーザRAM27のメモリテストを行う。

【0020】なお、CPU1のバスリクエストとSCSIコントローラ12のHOLD信号が同時に出力された場合には、バスアービタ8によってシステムバスのアクセス順が決められる。

【0021】SCSIコントローラ12は、DMAカウンタ19が0になると、OSのロードが終了したことを知らせるために、INT信号によってCPU1に割り込みをかける。

【0022】一方、CPU1は、主メモリ25のユーザRAM27のメモリテストが終了後、INT信号が入力されているか否かを割り込みフラグで判定し、OSのロードが正常であればイニシャライズを終了してOSに制御が移行する。

【0023】CPU1のバスリクエストとSCSIコントローラ12のHOLD信号が同時に出力されない限り、CPU1の内部演算期間にSCSIコントローラ12によるDMA転送が行われ、SCSIコントローラ12がディスク装置15からSCSIデータレジスタ13にデータを転送中に、CPU1のユーザRAM27のメモリテストが実行できることになり、並列処理されることになる。

【0024】このように主メモリ25を第1の領域であるシステムRAM26と、第2領域であるユーザRAM27とに区分し、システムRAM26のメモリテストおよびイニシャライズの終了後に、SCSIコントローラ12によってOSのロードをDMA方式で行うとともに、ユーザRAM27のメモリテストを行うようにしているので、主メモリ25の全領域のメモリテストおよびイニシャライズ完了後にOSをロードする従来例に比べて高速な立ち上げが可能となる。

【0025】次に上記動作を図2のフローチャートに従って説明する。この図2において、(a)、(c)はCPU1の動作を示し、(b)、(d)は対応するSCSIコントローラ12の動作を示している。

【0026】まず、CPU1は電源が投入されると、IPLROM24の先頭アドレスからイニシャルプログラムを実行する。すなわち、CPU1は、IPLROM24からスタックポインタ値をリードしてスタックポインタにセットする（ステップn1）。スタックは、サブルーチンの戻り番地や割り込み処理の戻り番地を格納する領域であり、第1の領域であるシステムRAM26に領域確保される。このスタックは、システムRAM26のメモリテストが終了後に使用され、それ以前には、サブルーチンコールは行われず、割り込みも禁止される。

【0027】次に、主メモリ25の第1の領域であるシステムRAM26のメモリテストを行う。すなわち、シ

10

20

30

40

50

5

システムRAM26の先頭番地をA0レジスタ2にセットし(ステップn2)、図3に示されるマーチングマクロを呼び出す。このマーチングマクロでは、図3に示されるように、マーチングテストデータ0x55555555をd0レジスタ3にセットし(ステップn26)、d0レジスタ3の内容をA0レジスタ2の示すメモリの番地に書き込み(ステップn27)、A0レジスタ2の示すメモリの番地の内容をd1レジスタ4に読み出し、d0、d1レジスタ3、4の内容が一致しているか否か、すなわち、d1-d0=0であるか否かを判断する(ステップn29)。

【0028】d1-d0=0であるときには、A0レジスタ2をインクリメントし(ステップn30)、A0レジスタ2の値はシステムRAM26の最終番地であるか否かを判断し(ステップn31)、最終番地であるときには、d0レジスタ3の内容は、0xAAAAAAAAであるか否かを判断し(ステップn32)、そうであれば、システムRAM26のメモリテストの結果がOKであるとしてd0レジスタ3にOKをセット(ステップn33)して図2のステップn4に移る。ステップn32において、d0レジスタ3の内容が、0xAAAAAAAAAAでないときには、d0レジスタ3にマーチングテストデータとして0xAAAAAAAAAAをセットしてステップn27に戻る。また、ステップn29において、d1-d0=0でないときには、メモリテストの結果がNGであるとしてd0レジスタ3にNGをセットして(ステップn34)図2のステップn4に移る。

【0029】図2(a)を参照して、ステップn4では、d0レジスタ3にOKがセットされているか否かを判断し、セットされているときには、システムRAM26のメモリテストの結果がOKであるとしてシステムRAM26に割り込みフラグ領域を確保し(ステップn5)、割り込みフラグに0をセットして割り込みを許可し(ステップn6)、SCSIコントローラ12に対して、ディスク装置15からシステムRAM26へOSをロードするように設定し(ステップn7)、SCSIコントローラ12に起動命令を書き込む(ステップn8)。この起動命令を受けて待機状態(ステップn20)にあったSCSIコントローラ12が起動される(ステップn21)。なお、ステップn4において、d0レジスタ3にOKがセットされていないときには、システムRAM26が故障であることをダムターミナル30に表示してオペレータに知らせて停止する。

【0030】起動されたSCSIコントローラ12は、図2(d)に示されるように、ディスク装置15からOSをシステムRAM26にCPU1とアービトレーションしながらDMA転送し(ステップn22)、DMA転送が終了すると、DMA転送のステータスをセットし(ステップn23)、CPU1に対して割り込みをかけて(ステップn24)待機する(ステップn25)。

6

【0031】一方、CPU1は、OSがロードされる間、第2の領域であるユーザRAM27のメモリテストを行う。すなわち、ユーザRAM27の先頭番地をA0レジスタ2にセットし(ステップn10)、図3に示されるマーチングマクロを呼び出し(ステップn11)、上述のシステムRAM26の場合と同様にメモリテストを行う。

【0032】その結果、d0レジスタ3にOKがセットされているか否かを判断し(ステップn12)、セットされているときには、ユーザRAM27のメモリテストの結果がOKであるとしてOSロードの完了を示す割り込みが行われたか否か、すなわち、割り込みフラグが1であるか否かを判断し(ステップn13)、1であるときには、OSのロードが正常に終了したかどうかを示すSCSIコントローラ12の割り込みステータスを読み込み(ステップn14)、正常に終了したか否かを判断し(ステップn15)、正常に終了したときには、システムRAM27のOSの制御へ移行し(ステップn16)、ダムターミナル30にログインを表示して(ステップn17)オペレータが使用可能となる。

【0033】ステップn12およびステップn15において、d0レジスタ3にOKがセットされていないときおよびOSのロードが正常に終了していないときには、ユーザRAM27が故障であること、あるいは、OSのロードが異常であることをダムターミナル30に表示して停止する。

【0034】なお、SCSIコントローラ12からのINT信号によってCPU1は、図4に示される割り込み処理ルーチンに入って割り込みフラグを1にセットする(ステップn27)。

【0035】

【発明の効果】以上のように本発明によれば、電源投入後には、補助記憶装置からOSを読み込む初期処理動作に必要な第1の領域であるシステムRAMについてのみメモリテストおよびイニシャライズを行い、その後、補助記憶装置からOSをシステムRAMに読み込む動作と、システムRAM以外の第2の領域であるユーザRAMについてのメモリテストとを並行処理するようにしたので、電源投入後にオペレータが操作できるようになるまでの待ち時間を短縮することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】動作説明に供するフローチャートである。

【図3】動作説明に供するフローチャートである。

【図4】動作説明に供するフローチャートである。

【符号の説明】

1 CPU

12 SCSIコントローラ

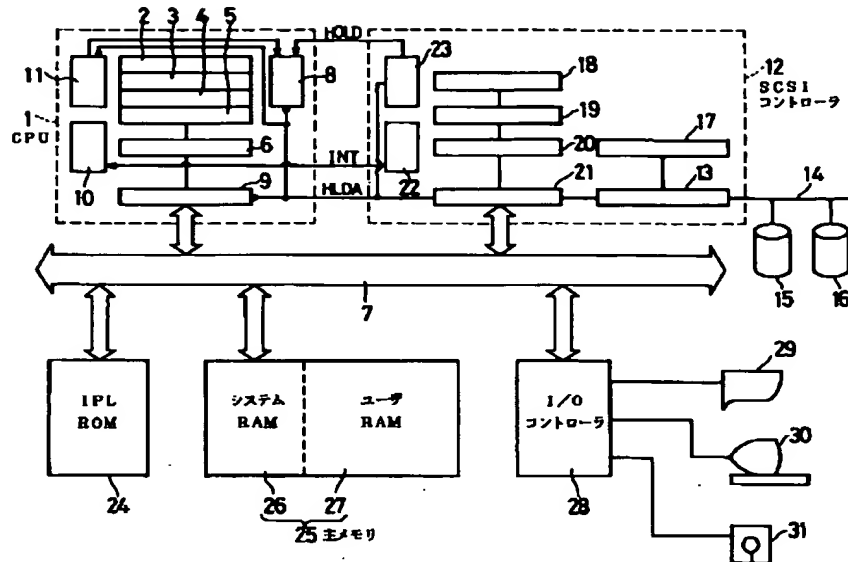
15 ディスク装置(補助記憶装置)

25 主メモリ

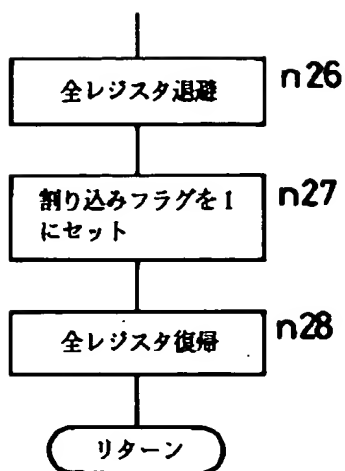
26 システムRAM (第1の領域)

27 ユーザRAM (第2の領域)

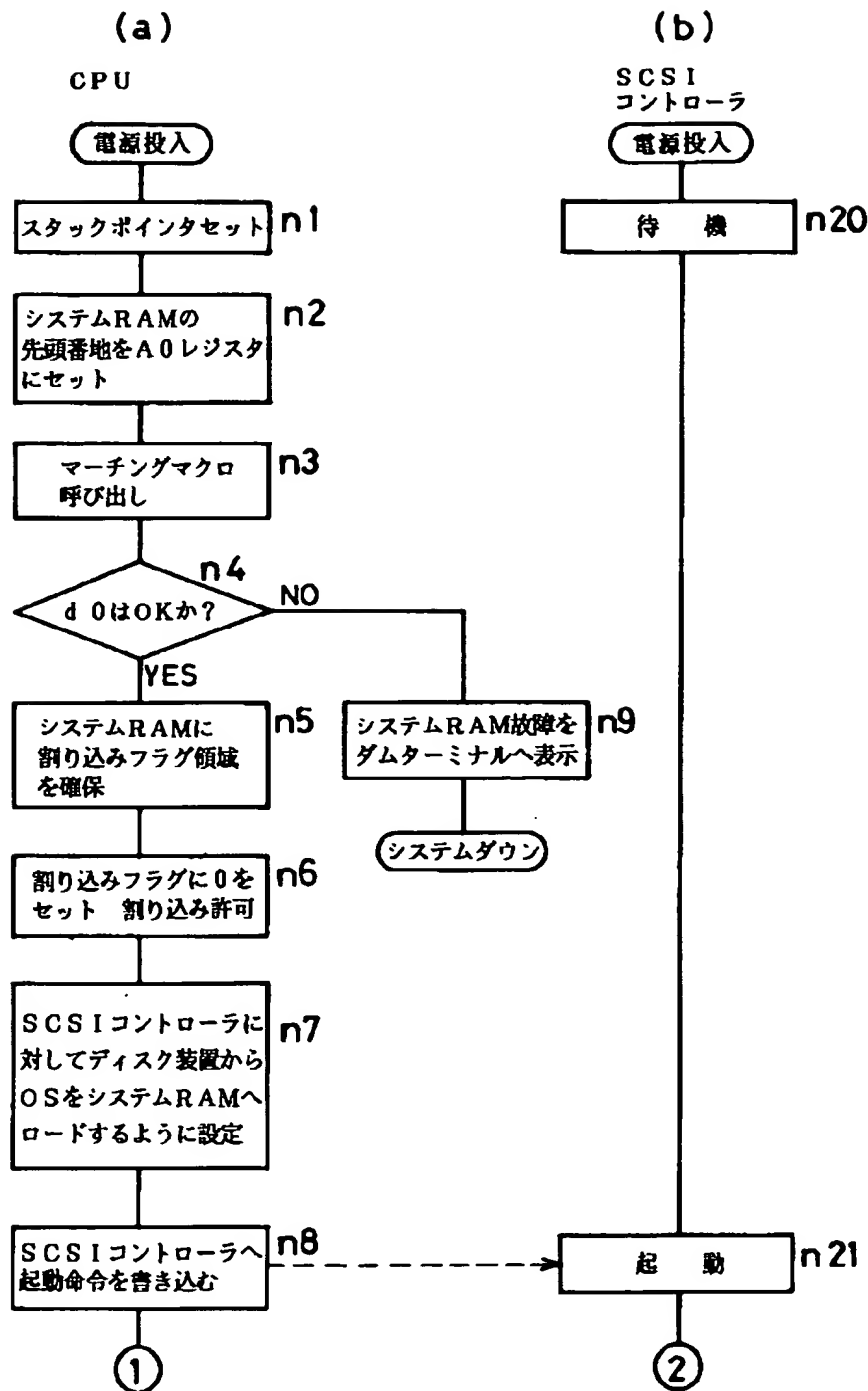
【図1】



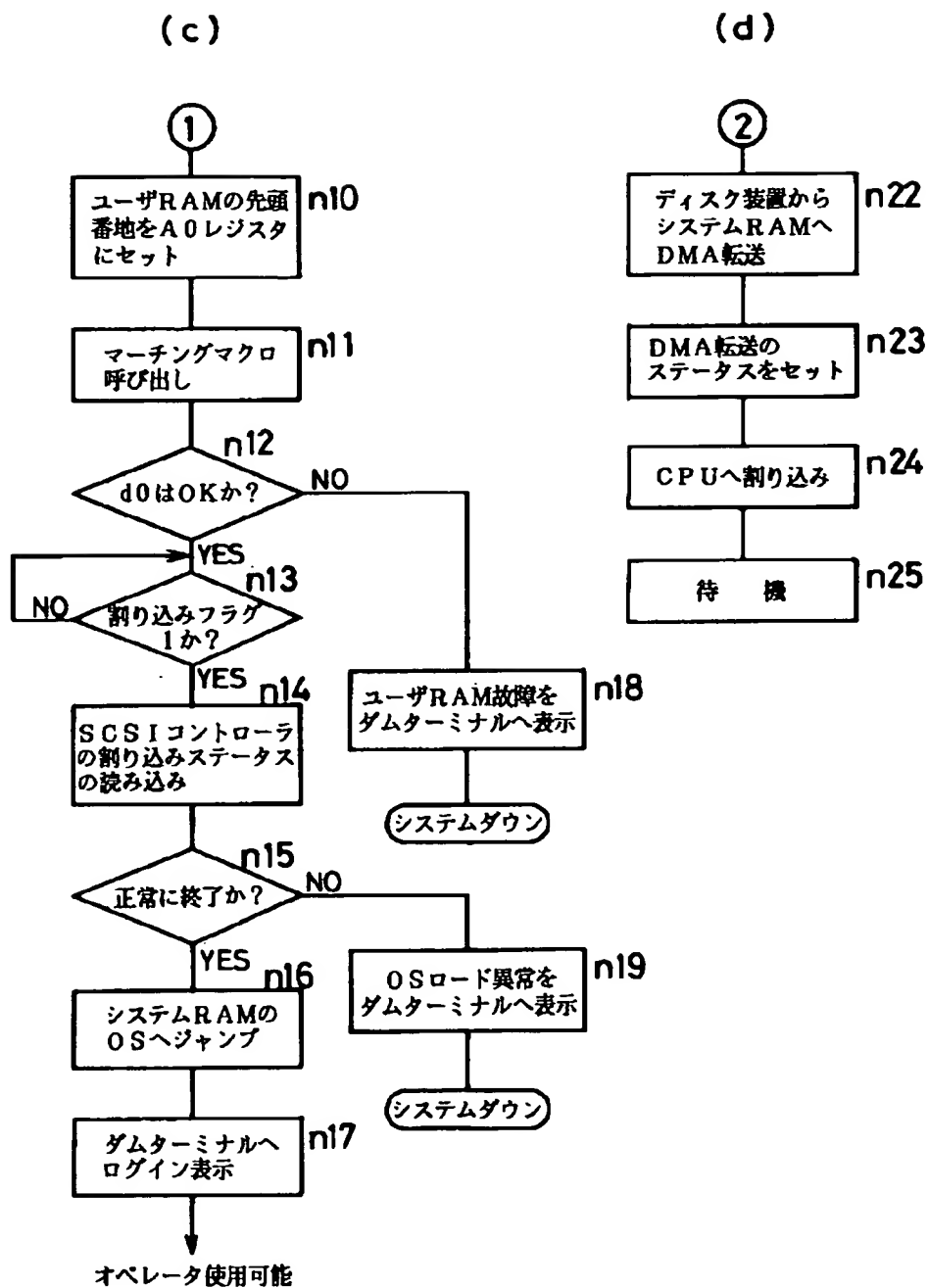
【図4】



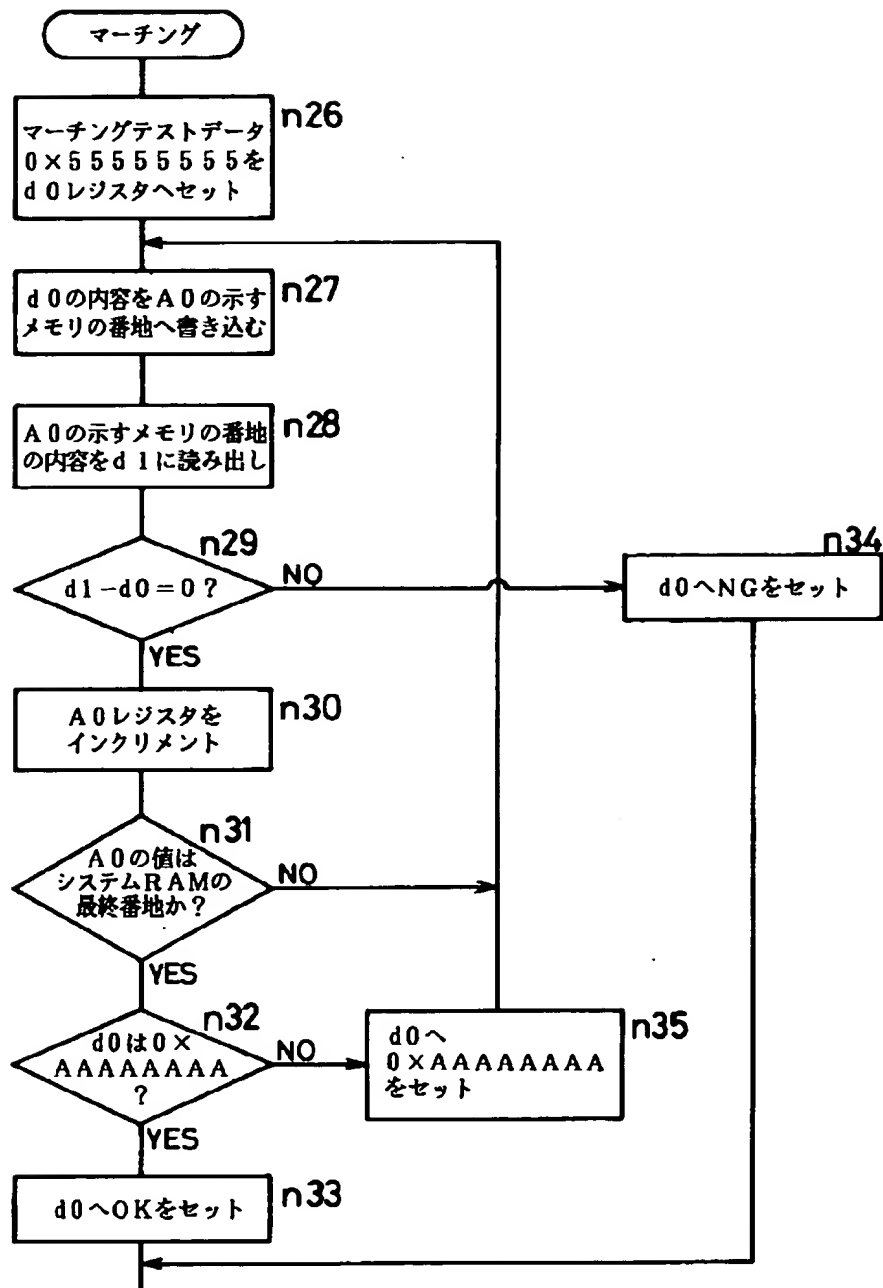
【図2】



【図2】



【図3】



【手続補正書】

【提出日】平成5年10月1日

【手続補正1】

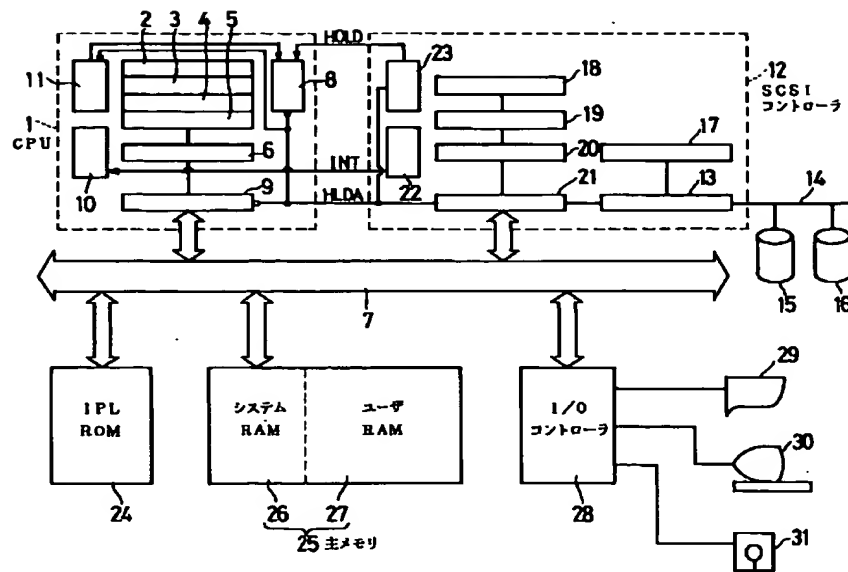
【補正対象書類名】図面

【補正対象項目名】全図

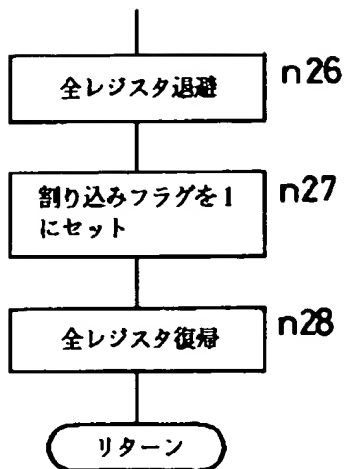
【補正方法】変更

【補正内容】

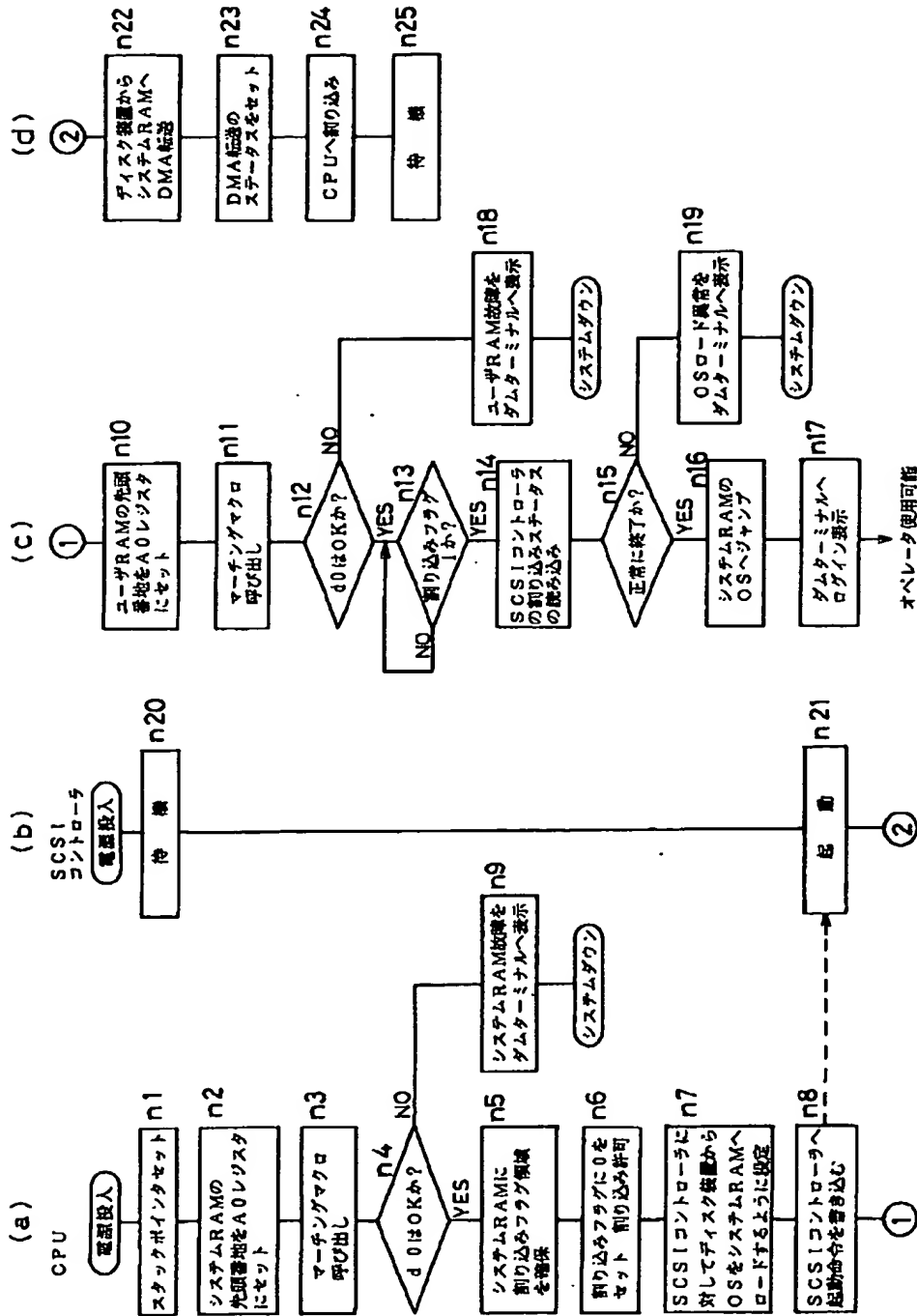
【図1】



【図4】



【図2】



【図3】

